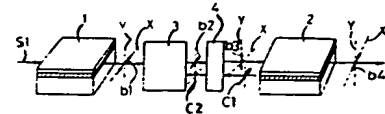


(54) OPTICAL REPEATING DEVICE

(11) 56-35548 (A) (43) 8.4.1981 (19) JP
 (21) Appl. No. 55-84160 (22) 20.6.1980
 (71) SHARP K.K. (72) SHIYUHEI YASUDA
 (51) Int. Cl. H04B9/00, G02F1/01

PURPOSE: To obtain quite a new-type optical repeating device, by performing the transmission and reception of the light through several units of semiconductor lasers arranged in the middle of the optical transmission medium and then providing the feedback preventing means between the semiconductor laser and the optical transmission medium.

CONSTITUTION: The optical repeating device consists of the joint laser beam transmitter and receiver 1 and 2, the reflection polarizer 3 provided between the transmitter 1 and the receiver 2 and utilizing the Brewster's angle, and the 1/2-wave-length plate 4 each. The reflection polarizer 3 functions as an eliminating means for the feedback light of the optical repeating device. If a correspondence is secured between the reflection factors of the polarizer 3 and the beams b_1 and c_2 as R_{01} (01 : incident angle; 02 : angle of refraction) and R_0 respectively, the signal beam b_1 sent from the joint laser 1 reaches the joint laser 2 with no loss. However, the beam from the laser 2 receives the reflection loss due to the polarizer 3 and does not reach the laser 1.



$$R_0 = \frac{\sin^2(\theta_1 - \theta_2)}{\sin^2(\theta_1 + \theta_2)} \quad (1)$$

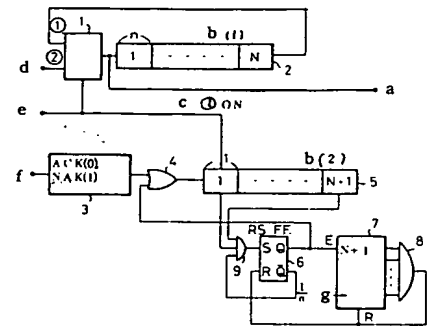
$$R_{90} = \frac{\sin^2(\theta_1 - \theta_2)}{\sin^2(\theta_1 + \theta_2)} \quad (2)$$

(54) AUTOMATIC RETRANSMISSION REQUEST SYSTEM

(11) 56-35550 (A) (43) 8.4.1981 (19) JP
 (21) Appl. No. 54-110214 (22) 31.8.1979
 (71) FUJITSU K.K. (72) KAZUMI YAMASHITA(2)
 (51) Int. Cl. H04L1/16

PURPOSE: To maintain the transmission velocity in a high efficiency, by performing the error control for the communication system by the selection repeating block ARQ system in the normal state and then applying the go-back NARQ system only when the error is repeated twice.

CONSTITUTION: With reception of the transmission station NAK (negative) signal, a decision is given to the N-block preceding confirmation signal via the holding circuit 3 whether it is NAK (negative) or ACK (affirmative). And in the case of ACK, only the words went back by N blocks are transmitted again. While in the case of NAK, the multiplexer 1 is switched to transmit again the preceding block. In such way, an error control is given in the normal state by the selection repeating block ARQ system to transmit again only the words receiving the retransmission request due to the error. And in case the error is detected twice, a control is given by the go-back NARQ system to transmit again not only the words receiving the retransmission request due to the error but the N-1 blocks subsequent to the word received in a correct way.



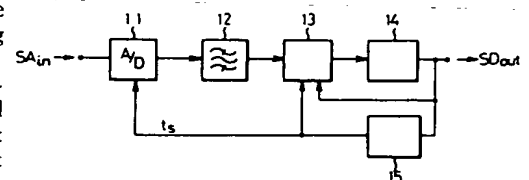
7: (N+1)-notation counter (negative edge), a: output, b: shift register, c: multiplexer terminal, d: transmission information, e: sending inhibition of transmission information, f: reception of return signal, g: clock

(54) DIGITAL PHASE DETECTING SYSTEM

(11) 56-35551 (A) (43) 8.4.1981 (19) JP
 (21) Appl. No. 54-110208 (22) 31.8.1979
 (71) FUJITSU K.K. (72) TATSUKI HAYASHI
 (51) Int. Cl. H04L7/02, H04L27/00, H04L27/22

PURPOSE: To ensure an easy detection for the zero-cross point and thus to secure an assured phase detection of the timing signal, by deciding the positive or negative code to the sampling value and then giving a comparison between the two sampling values of the adjacent different codes.

CONSTITUTION: The analog signal containing the transmitted timing signal component is supplied to the analog/digital converter 11 to be converted into the digital input signal for reception. The timing component is extracted out of the digital input signal in the form of the digital timing signal and through the timing component extracting circuit 12. And a comparison is given through the phase detecting circuit 13 between the sampling values of the adjacent different codes. Based on this result of comparison, the phase of the digital timing signal is detected. And the oscillator 14 is controlled by the output of the phase detection. Then the digital output signal is divided through the digital dividing circuit 15 to obtain the sampling cycle signal T_s .



⑨ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑩ 特許出願公開
昭56-35550

⑪ Int. Cl.²
H 04 L 1/16

識別記号

庁内整理番号
7230-5K

⑬ 公開 昭和56年(1981)4月8日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 自動再送要求方式

① 特 願 昭54-110214
② 出 願 昭54(1979)8月31日
③ 発 明 者 山下一美
堺市上野芝町8-313-23
④ 発 明 者 藤原値賀人

箕面市今宮267-3
⑤ 発 明 者 高橋修
川崎市中原区上小田中1015番地
富士通株式会社内
⑥ 出 願 人 富士通株式会社
川崎市中原区上小田中1015番地
⑦ 代 理 人 弁理士 青木朗 外3名

明 細 書

1. 発明の名称

自動再送要求方式

2. 特許請求の範囲

A局からB局にデータを送信する通信系で伝送中に誤りが検出された場合その誤り部を再送する方式において、通常状態においては誤りにより再送要求された部のみを再送する選択繰返しブロック(Selective Repeat Block)ARQ方式により誤り制御を行ない、一定時間内に2度の誤りが検出された場合には誤りにより再送要求された部のみでなく正しく受信されたその部につゞくN-1ブロックも再送するゴースバックN(GO-BACK-N)ARQ方式に自動的に切換えて誤り制御を行なうことを特徴とする自動再送要求方式。

3. 発明の詳細な説明

本発明は自動再送要求方式、さらに詳しくはデータ通信の通信系における誤り制御方式として用いられる自動再送要求方式に関するものである。

今日データ通信において伝送されるデータの量

は時日とともに増加しておりしかもデータの使用される方法も複雑となりより高い伝送精度が要求されている。

このようなデータ通信の通信系においては伝送中に発生する誤りに対処するために誤り制御を行なう必要がある。これらの誤り制御を行なう方法としては現在種々の方法が用いられているがこの中で本発明の背景となる選択繰返しブロックARQ方式(Selective Repeat Block ARQ方式)とゴースバックNARQ方式(GO-BACK N ARQ方式)について説明する。

ゴースバックNARQ方式は誤りによつて再送要求された符号部だけでなく本来なら再送を必要としない正しく受信されたN-1部のその部につゞく信号も再送するものである。したがつて同一ブロックが何度か誤れば伝送速度が著しく低下する。一方において選択繰返しブロックARQ方式では再送要求が生じた部のみを再送するものである。したがつて高い伝送速度が得られるが受信された部列を再構成するための理論的には無限のバ

(1)

(2)

プアメモリを必要とする。

本発明の目的はこれら2つの方式の欠点を解消するために通 時は選択繰返しブロックA B Q方式において誤り制御を行ない同一語が2度以上再送要求を出された場合にはオーバーパツクN-A B Q方式に切替えて誤り制御を行ない自動再送要求方式を提供することにある。

本発明によればA局からB局にデータを伝送する通信系で伝送中に誤りが検出された場合その誤り語を再送する方式において、通常状態においては誤りにより再送要求された語のみを再送する選択繰返しブロック(SELECTIVE REPEAT BLOCK) A B Q方式により誤り制御を行ない、2度の誤りが検出された場合には誤りにより再送要求された語のみでなく正しく受信されたその語につぎにN-1ブロックも再送するオーバーパツクN(GO-BACK-N) A B Q方式に自動的に切替えて誤り制御を行なうことを特徴とする自動再送要求方式が提案される。

以下本発明にかかる自動再送要求方式の実施例

(3)

図のハードウェアに用いられるクロックのタイムチャートである。

つぎに第1図の送信局のハードウェアの動作の手順について第4図を参照しつつ説明する。第4図は情報語と、送信符号と、シフトレジスタ1の内容と、受信局よりの返送信号と、シフトレジスタ2の内容と、R8フリップフロップの出力と、N+1進カウンタの内容の変化を概して示したものである。なお第4図の表は選択繰返しブロックA B Q方式とオーバーパツク3 A B Q方式を採用した場合を示したものである。

第1図において送信局がNAK(否定)信号を受取ると、そのNブロック前の確認信号をホールド回路3によりNAK(否定)かACK(肯定)かを判定しACK(肯定)であればNブロック戻つた語だけを再送し、NAK(否定)の場合にはマルチプレクサ1を切り替えてNブロック前のブロックを再送する。またNブロック前にもNAK(否定)を受け取っていた場合にはオーバーパツク3モード指示用のN+1進カウンタを動作させてオー

(3)

について図面により詳細に説明する。

第1図は本発明にかかる方式の送信局のハードウェアを示す。同図において1はマルチプレクサ、2は第1のシフトレジスタ(シフトレジスタ1)、3はACK(0)、NAK(1)判定ホールド回路、4はゲート回路、5は第2のシフトレジスタ回路(シフトレジスタ2)、6はゲート回路、7はR8フリップフロップ回路、8はN+1進カウンタ(ネガティブエッジカウンタ)、9はゲート回路である。つぎに第2図は本発明にかかる方式の受信局のハードウェアを示す。第2図において11は第1のシフトレジスタ(シフトレジスタ1)、12は第2のシフトレジスタ(シフトレジスタ2)、13はマルチプレクサ、14は誤り検出回路、15は第3のシフトレジスタ(シフトレジスタ3)、16は第4のシフトレジスタ(シフトレジスタ4)、17および18はゲート回路、19はR8フリップフロップ回路、20はN+1進カウンタ(ネガティブエッジカウンタ)、21、22、23はゲート回路である。なお第3図は第1図および第2

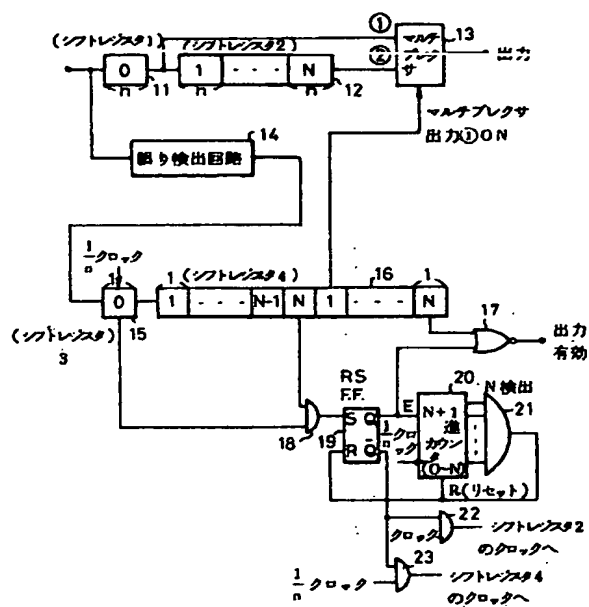
(4)

パツク3再送モードに入る。第3図の表においてNAK信号(1)を受けるとシフトレジスタ2におけるブロック(1)によりシフトレジスタ1の内容(1)が誤りであると判定してこの誤り符号を送信符号(1)によつて再送する。つぎにNAK信号(1)を受けた場合のシフトレジスタ2におけるブロック(1)、誤り符号(1)および送信符号(1)の確保は前と同様である。こゝにおいて再びNAK信号(1)を受信するとシフトレジスタ2におけるブロック(1)によりシフトレジスタ1の内容(1)が誤りであると判定してこの誤り符号(1)とその後の符号2個計3個を再送する。つまり第3図において初がオーバーパツク3の再送にあたる。またNAK信号(1)を受取つた場合はシフトレジスタ1の内容(1)を誤りと判定するとともにすでに3ブロック前にもNAK信号を受けているからカウンタを動作させ(1)により再び(1)を示すオーバーパツクモード3を再送する。

つぎに第2図の受信局のハードウェアの動作の手順について第5図を参照しつつ説明する。第5図は第2図におけるシフトレジスタ1および2、

(5)

第 2 圖



第 4 题

情報源	送 信 符 号	シフトレ(2) ジスタ 1	返送信号	シフトレ(5) ジスタ 2	(6) R.S F.F.	(7) カ ン
1	1			0 0 0 0		0
2	2			0 0 0 0	0	0
3	3	2 1	① ACK	0 0 0 0	0	0
4	4	3 2 1	② ACK	0 0 0 0	0	0
5	5	4 3 2	③ NAK	1 0 0 0	0	0
6	6	5 4 3	④ ACK	0 1 0 0	0	0
	(2)	3 5	⑤ NAK	0 1 0 0	0	0
	(4)	6 3	⑥ NAK	1 1 0 1	1	1
	(5)	5 6	⑦ NAK	1 1 1 0	1	2
	(*)	3 5 6	⑧ ACK	1 1 1 1	1	3
	(7)	6 3 5	⑨ ACK	0 1 1 1	0	0
	(5)	5 6 3	⑩ ACK	0 0 1 1	0	0
7	7	7 5 6	⑪ NAK	1 0 0 1	1	1
8	8	8 7 5	⑫ ACK	1 1 0 0	1	2
	(4)	5 8 7	⑬ ACK	1 1 1 0	1	3
	(6)	7 5 8	⑭ ACK	0 1 1 1	0	0
	(8)	8 7 5	⑮ ACK	0 0 1 1	0	0
9	9	9 8 7	⑯ ACK	0 0 0 1	0	0
10	10	10 9 8	⑰ ACK	0 0 0 0	0	0
11	11	11 10 9	⑱ ACK		0	0

第 5 圖

(11) シフトレジスタ1	(12) シフトレジスタ2	出力	(15) シフトレジスタ3	(16) シフトレジスタ4	(20) カウンタ	(19) FFB
1						
2	1		0	0000000	0	0
③	2 1		0	0000000	0	0
4	③ 2 1		1	0000000	0	0
(f) ⑤	4 ③ 2	1	0	1000000	0	0
③	⑤ 4 ③	2	1	0100000	0	0
6	⑤ 4 ③		1	1010000	0	1(0)
(a) 5	⑤ 4 ③		0 (7)	1010000	1	1(4)
3	⑤ 4 ③		0	1010000	2	1(7)
(c) 6	3 ⑤ 4	3	0	1010000	3	0
⑤	6 3 ⑤	4	0	0101000	0	0
7	6 3 ⑤		1	0010100	0	1(5)
8	6 3 ⑤		0	0010100	1	1(2)
5	6 3 ⑤		0 (8)	0010100	2	1(4)
(e) 7	5 6 3	5	0	0010100	3	0
8	7 5 6		0	0001010	0	0
9	8 7 5	6	0	0000100	0	0
10	9 8 7	7	0	0000001	0	0
				0000000	0	0